

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-065198

(43)Date of publication of application : 10.03.1995

(51)Int.Cl.

G06T 15/40

(21)Application number : 05-212826

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 27.08.1993

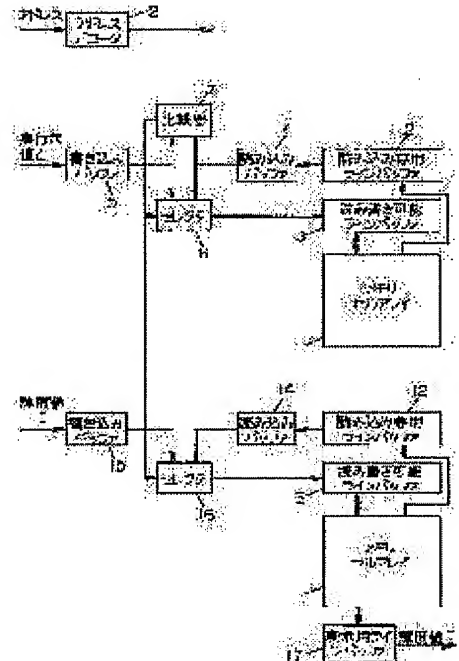
(72)Inventor : OKI TAKESHI

(54) IMAGE MEMORY DEVICE

(57)Abstract:

PURPOSE: To provide the image memory device which is suitable for the size reduction of a system and can perform fast hidden plane processing by the update of a fast Z buffer.

CONSTITUTION: The depth (Z) values of respective pixels which succeed in a horizontal scanning direction are inputted to a comparator 7 from a read buffer 4 through a 1st write buffer 5 and a 1st read-only buffer 2; and small depth (Z) values are written in a 1st writable line buffer 3 and luminance (I) values pairing with the selected depth (Z) values are similarly written in a 2nd readable and writable line buffer 13 according to the comparison result, so that results after hidden plane processing can be stored in 1st and 2nd memory cell arrays 1 and 2.



* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]An image memory device comprising:

The 1st memory cell array that stores a depth (Z) value for one screen.

The 1st ReadOnly line buffer that stores data for one line read from said 1st memory cell array.

The 1st line buffer that stores processed data for one line which should be written in after reading from said 1st memory cell array and that can be written.

The 1st reading buffer that stores a depth (Z) value for 1 pixel chosen from said 1st ReadOnly line buffer, The 1st write buffer that stores a depth (Z) value for 1 pixel inputted from the outside, A comparator which compares a depth (Z) value stored in said 1st write buffer with a depth (Z) value stored in said 1st reading buffer, The 1st selector that outputs a direction which inputted a value stored in said 1st write buffer, and a value stored in said 1st reading buffer, and was chosen by comparison result of said comparator to said 1st line buffer that can be written, The 2nd memory cell array that stores a luminosity (I) value for one screen, and the 2nd ReadOnly line buffer that stores data for one line read from said 2nd memory cell array, The 2nd line buffer that stores processed data for one line which should be written in after reading from said 2nd memory cell array and that can be written, The 2nd reading buffer that stores a luminosity (I) value for 1 pixel chosen from said 2nd ReadOnly line buffer, and the 2nd write buffer that stores a luminosity (I) value for 1 pixel inputted from the outside, The 2nd selector that outputs a direction which inputted a value stored in said 2nd write buffer, and a value stored in said 2nd reading buffer, and was chosen by comparison result of said comparator to said 2nd line buffer that can be written, A line buffer for a display which stores data for one line read from said 2nd memory cell array, and outputs 1 pixel of luminosity (I) values at a time outside one by one.

[Claim 2]The image memory device comprising according to claim 1:

The 1st updating register that stores a deviation of a depth (Z) value which can be set up from the outside.

The 1st adding machine that adds a value of said 1st write buffer, and a value of said 1st updating register, and re-stores a result in said 1st write buffer.

The 2nd updating register that stores a deviation of a luminosity (I) value which can be set up from the outside.

The 2nd adding machine that adds a value of said 2nd write buffer, and a value of said 2nd updating register, and re-stores a result in said 2nd write buffer.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application]This invention relates to an image memory device suitable for hidden surface processing of the 3D-Graphics which projects a three-dimensional polyhedron object on a two-dimensional screen, and displays it.

[0002]

[Description of the Prior Art]In recent years, it is 3D-Graphics nearby general by development of computer technology. When projecting a three-dimensional object on a two-dimensional screen and displaying it, the object which exists to the front must process the phenomenon of hiding objective some or all that is in the back from it, by a certain method. When realizing by hardware generally, the Z buffer algorithm processed using the Z-uffer which stores the depth (Z) value for one screen is known. As a hidden surface processing unit using this Z buffer algorithm, For example, it is shown in *** etc. "a 32-bit three-dimensional graphics processor" (the Information Processing Society of Japan integrated circuit study group report, ICD88-36, P71-73, 1988), and the storage device currently used for it comprises a usual dual port memory.

[0003]Drawing 3 is a block diagram of the hidden surface processing unit which uses this conventional storage device. In drawing 3, 31 inputs a convex polygon (polygon), and it is the order of a scan line, And the pixel computing unit which calculates and outputs depth (Z) and luminosity (I) to each pixel unit of the direction of a level scan line with X and a Y coordinate one by one, 32 and 33 have a dual port of random input/output port and a serial output port, A storage device which stores the depth (Z) value and luminosity (I) value for one screen respectively, 34 inputs and compares a depth (Z) value by each pixel unit from the pixel computing unit 31 and the storage device 32, respectively, Only when the depth (Z) value outputted from the pixel computing unit 31 is smaller, the comparator which carries out control which writes a depth (Z) value in the storage device 32, and writes a luminosity (I) value in the storage device 33, and 35 and 36 are buffers which store and output a depth (Z) value and a luminosity (I) value respectively.

[0004>About the hidden surface processing unit which uses the conventional storage device constituted as mentioned above, the operation is explained below. A polygon as shown in drawing 4 is first inputted into the pixel computing unit 31. In the pixel computing unit 31, processing advances in order of a scan line from Ys to Ye, and within each scan line, it calculates 1 pixel of depth (Z) values and luminosity (I) values at a time to a level scanning direction with X and a Y coordinate value, and outputs to it one by one. X outputted from the pixel computing unit 31 on the other hand and a Y coordinate value read to the storage device 32 which stores a depth (Z) value, are inputted as a start address, and output the depth (Z) value corresponding to each pixel one by one from the serial output port of the storage device 32. And in the comparator 34, the depth (Z) value outputted to each pixel unit from the pixel computing unit 31 and the storage device 32 is compared, and only when the depth (Z) value to which the comparison result was outputted from the pixel computing unit 31 is smaller, the writing control signal outputted to the storage devices 32 and 33 is enabled. And the depth (Z) value and luminosity (I) value which were outputted from the pixel computing unit 31 are stored one by one in a fast page mode from the random port of the storage devices 32 and 33 via the buffers 35 and 36, respectively.

[0005]Thus, when the polygon for one screen finishes being inputted, the smallest depth (Z) value of each pixel is stored in the storage device 32, and the luminosity (I) value of a hidden surface processing result is stored in the storage device 33. And it is outputted to CRT via the serial output port of the storage device 33, and a three-dimensional picture is displayed.

[0006]

[Problem(s) to be Solved by the Invention]However, the above composition compares the depth (Z) value read from the serial port of the storage device in an external circuit. Since the writing of the depth (Z) value from the external circuit performed by the comparison result to a storage device and the luminosity (I) value was performed from the random port, While there were many external circuits and its wiring numbers and circuit structure became large, it had the technical problem that the drawing speed to a storage device was slow, and Z-uffer processing took time.

[0007]An object of this invention is to have been suitable for the miniaturization of the system and to provide the image memory device in which the high-speed hidden surface processing by renewal of high-speed Z-uffer is possible in view of this point.

[0008]

[Means for Solving the Problem]The 1st memory cell array in which an invention of claim 1 stores a depth (Z) value for one screen, The 1st ReadOnly line buffer that stores data for one line read from said 1st memory cell array, The 1st line buffer that stores processed data for one line which should be written in after reading from said 1st memory cell array and that can be written, The 1st reading buffer that stores a depth (Z) value for 1 pixel chosen from said 1st ReadOnly line buffer, The 1st write buffer that stores a depth (Z) value for 1 pixel inputted from the outside, A comparator which compares a depth (Z) value stored in said 1st write buffer with a depth (Z) value stored in said 1st reading buffer, The 1st selector that outputs a direction which inputted a value stored in said 1st write buffer, and a value stored in said 1st reading buffer, and was chosen by comparison result of said comparator to said 1st line buffer that can be written, The 2nd memory cell array that stores a luminosity (I) value for one screen, and the 2nd ReadOnly line buffer that stores data for one line read from said 2nd memory cell array, The 2nd line buffer that stores processed data for one line which should be written in after reading from said 2nd memory cell array and that can be written, The 2nd reading buffer that stores a luminosity (I) value for 1 pixel chosen from said 2nd ReadOnly line buffer, The 2nd write buffer that stores a luminosity (I) value for 1 pixel inputted from the outside, The 2nd selector that outputs a direction which inputted a value stored in said 2nd write buffer, and a value stored in said 2nd reading buffer, and was chosen by comparison result of said comparator to said 2nd line buffer that can be written, It is the image memory device provided with a

line buffer for a display which stores data for one line read from said 2nd memory cell array, and outputs 1 pixel of luminosity (I) values at a time outside one by one.

[0009]The 1st updating register that stores a deviation of a depth (Z) value which can be set as an image memory device which an invention of claim 2 indicated to an invention of claim 1 from the outside, The 1st adding machine that adds a value of said 1st write buffer, and a value of said 1st updating register, and re-stores a result in said 1st write buffer, It is the image memory device which added the 2nd updating register that stores a deviation of a luminosity (I) value which can be set up from the outside, and the 2nd adding machine that adds a value of said 2nd write buffer, and a value of said 2nd updating register, and re-stores a result in said 2nd write buffer.

[0010]

[Function]In this invention, the depth (Z) value of each pixel which followed the level scanning direction is inputted into a comparator by the above mentioned composition from the 1st reading buffer through the 1st write buffer and the 1st ReadOnly line buffer, By a comparison result, the depth (Z) value of the smaller one is written in the 1st line buffer that can be written, and the selected depth (Z) value and the luminosity (I) value which makes a pair are similarly written in the 2nd line buffer that can be written.

Therefore, the result after hidden surface processing was carried out is storable in the 1st and 2nd memory cell arrays.

[0011]

[Example 1]

(Example 1) One example of this invention is described below, referring to drawings.

[0012]Drawing 1 shows the Plock figure in the example of this invention. The memory cell array in which 1 and 11 store the depth (Z) value and luminosity (I) value for one screen respectively in drawing 1. The ReadOnly line buffer which stores the data for one line which read 2 and 12 from the memory cell arrays 1 and 11 respectively, The line buffer which stores the processed data for one line which should be written in after reading 3 and 13 from the memory cell arrays 1 and 11 respectively and which can be written, The reading buffer with which 4 and 14 store the depth (Z) value for 1 pixel respectively chosen from the ReadOnly line buffers 2 and 12, and luminance value (I), The write buffer which stores the depth (Z) value for 1 pixel which inputted 5 and 15 from the outside respectively, and luminance value (I), The value which 6 and 16 read with the value respectively stored in the write buffers 5 and 15, and was stored in the buffers 4 and 14 is inputted, The selector which outputs respectively the one where the comparison result of the comparator 7 was selected to the line buffers 3 and 13 which can be written, The line buffer for a display which the comparator which compares the depth (Z) value which 7 read with the depth (Z) value stored in the write buffer 5, and was stored in the buffer 4, and 17 store the data for one line read from the memory cell array 11, and outputs 1 pixel of luminosity (I) values at a time outside one by one, 21 is an address decoder which decodes the address inputted from the outside.

[0013>About the image memory device constituted as mentioned above, the operation is explained below. Processing advances in order of a scan line from Ys to Ye with the pixel computing unit as a conventional example in which a polygon as shown in drawing 4 is almost the same, and within each scan line, top X, a Y coordinate value, the depth (Z) value per pixel, and a luminosity (I) value shall be calculated to a level scanning direction, and it shall be outputted to it one by one.

[0014]If processing of the scan line of Yc shall advance now, an address will be first inputted into this image memory device as top X and a Y coordinate value. The inputted address outputs a column address for a line address to the ReadOnly line buffers 2 and 12 via the address decoder 21 at the memory cell arrays 1 and 11.

[0015]From the memory cell arrays 1 and 11, the depth (Z) value and luminosity (I) value selected by the line address for one line are read, and it is respectively stored in the ReadOnly line buffers 2 and 12 and the line buffers 3 and 13 which can be written simultaneously. From the ReadOnly line buffers 2 and 12, after the depth (Z) value and luminosity (I) value selected with the column address for 1 pixel are read and being respectively stored in the reading buffers 4 and 14, after 1 clock, the following picture element data is stored one by one.

[0016]On the other hand, the depth (Z) value and luminosity (I) value which were calculated externally are written in the write buffers 5 and 15 one by one for every clock. And the comparator 7 compares the depth (Z) value stored in the reading buffer 4 updated for both every clock, and the depth (Z) value stored in the write buffer 5 one by one. The way with the depth (Z) value of the smaller one is chosen by the selectors 6 and 16, and the depth (Z) value and luminosity (I) value of a pixel with a smaller depth (Z) value are stored in the line buffers 3 and 13 which can be written one by one as a result.

[0017]After the processing for every pixels of these is processed at high speed in pipeline and completed to the pixel of the last of Yc by each buffer, the comparator, a selector, etc., After a depth (Z) value and a luminosity (I) value are stored in the line buffers 3 and 13 which can be written as a hidden surface processing result for one line, it is re-stored in MEMOSERUAREI 1 and 11, and shifts to processing of the following scan line.

[0018]From the memory cell array 11, the luminosity (I) value for one line which should be displayed is once stored in the line buffer 17 for a display, and, outside, 1 pixel of luminosity (I) values are outputted at a time one by one.

[0019]Thus, when the polygon for one screen finishes being inputted, the smallest depth (Z) value of each pixel and the luminosity (I) value of the pixel corresponding to it are stored in the memory cell arrays 1 and 11 as a hidden surface processing result. And it is outputted to a display via the line buffer 17 for a display from the memory cell array 11, and a three-dimensional picture is displayed.

[0020]The capacity of two memory cell arrays is 1000x1000x24 bit x2=48M bit in total, and can constitute an image memory device from one chip.

[0021]According to this example, from the exterior, write data is only stored in a buffer one by one as mentioned above by forming the renewal mechanism of Z-buffer in the inside of a storage device. Since it processes in pipeline with reading from a memory cell array, comparison, and the writing of a result automatically inside, and an input device is also a dedicated memory and the high-speed technique of clock synchronization can be used, the bottleneck of input and output of a storage device can be canceled, and high-speed hidden surface processing can be performed by easy control.

[0022](Example 2) The 2nd example of this invention is described below, referring to drawings.

[0023]Drawing 2 shows the Plock figure in the example of this invention. In drawing 2, a memory cell array, and 2 and 12 1 and 11 The ReadOnly line buffer, As for a selector and 7, a reading buffer, and 5 and 15 are [the line buffer for a display and 21] address decoders a write buffer, and 6 and 16 the line buffer which can be written, and 4 and 14 a comparator and 17, and 3 and 13 of these are the same as that of the thing of drawing 1 shown in Example 1. The updating register in which 8 and 18 store the deviation of a depth (Z) value and a luminosity (I) value respectively, the adding machine with which 9 and 19 update a depth (Z)

value and a luminosity (I) value respectively, and 22 and 23 are buffers which store a depth (Z) value and a luminosity (I) value temporarily.

[0024] About the image memory device constituted as mentioned above, the operation is explained below. Since fundamental operation is the same as Example 1 of this invention shown with the block diagram of drawing 1, in order to explain briefly here, only the difference in the disposal method of the picture element data inputted from the outside is explained.

[0025] A polygon as shown in drawing 4 carries out the calculation output of the inclination value of depth (Z), and the inclination value of luminosity (I) for every polygon first with a pixel computing unit etc., From Ys to Ye, processing of the order of a scan line shall calculate top X, Y coordinate value, depth (Z) value, and luminosity (I) value of each scan line, and shall be outputted.

[0026] The inclination value of depth (Z) peculiar to the polygon and the inclination value of luminosity (I) are first stored in the updating registers 8 and 18 at the beginning of processing of a polygon. And only the depth (Z) value and luminosity (I) value of a head pixel of each scan line which divides into 2 times from the exterior and is inputted serially are stored in the write buffers 5 and 15 via the buffers 22 and 23. Then, the depth (Z) value and luminosity (I) value of each pixel, without being inputted from the outside, every clock — the value in the write buffer 5 and 15 — the value in the updating register 8 and 18 is added with the each adding machines 9 and 19, and the depth (Z) value and luminosity (I) value which were updated by 1 pixel are used for each write buffers 5 and 15, re-storing them in them. Other operations are the same as Example 1 of this invention.

[0027] By forming the mechanism which inputs a depth (Z) value and a luminosity (I) value serially, and it not only updates a depth (Z) value and a luminosity (I) value automatically inside, but processes them from the same pin as mentioned above according to this example, Only by connecting the image memory device of 1 chip configuration with few this pin count to easy CPU with a memory controller function, the bottleneck of input and output of a storage device can be canceled, and a small and highly efficient hidden surface processing unit can be realized.

[0028] In this example, in order to lessen a pin count, the data input pins of a depth (Z) value and a luminosity (I) value inputted from the outside are carried out in common, it divides into 2 times, and data was inputted serially, but this may provide each input pin for exclusive use like the 1st example.

[0029]

[Effect of the Invention] it explained above — as — this invention — object for depth (Z) values, and luminosity (I) — it has two memory cell arrays for values, and it is alike, respectively, and is attached in two line buffers, the ReadOnly line buffer and the line buffer which can be written, and a comparator is provided in depth (Z) values.

Therefore, from the exterior, write data is only stored in a buffer one by one, Hidden surface processing possible [the miniaturization of a system] and high-speed can be carried out by performing read-out of a depth (Z) value and a luminosity (I) value, comparison, and writing in pipeline inside, and the practical effect is large.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]The block diagram of the image memory device in the 1st example of this invention

[Drawing 2]The block diagram of the image memory device in the 2nd example of this invention

[Drawing 3]The block diagram of the hidden surface processing which uses the conventional storage device

[Drawing 4]The key map of input data common to this invention and the conventional thing

[Description of Notations]

- 1 The 1st memory cell array
- 2 The 1st ReadOnly line buffer
- 3 The 1st line buffer that can be written
- 4 The 1st reading buffer
- 5 The 1st write buffer
- 6 The 1st selector
- 7 Comparator
- 8 The updating register which stores the deviation of a depth (Z) value
- 9 The adding machine which updates a depth (Z) value
- 11 The 2nd memory cell array
- 12 The 2nd ReadOnly line buffer
- 13 The 2nd line buffer that can be written
- 14 The 2nd reading buffer
- 15 The 2nd write buffer
- 16 The 2nd selector
- 17 The line buffer for a display
- 18 The updating register which stores the deviation of a luminosity (I) value
- 19 The adding machine which updates a luminosity (I) value

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

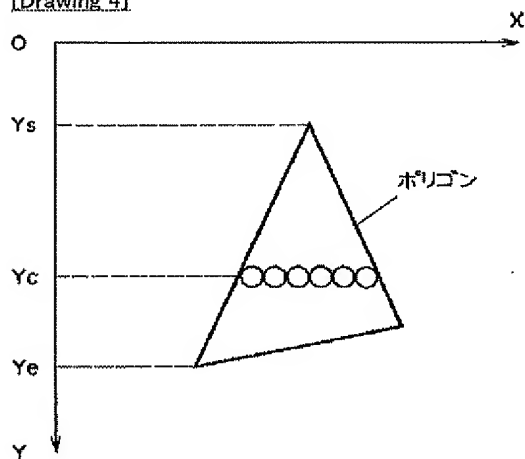
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

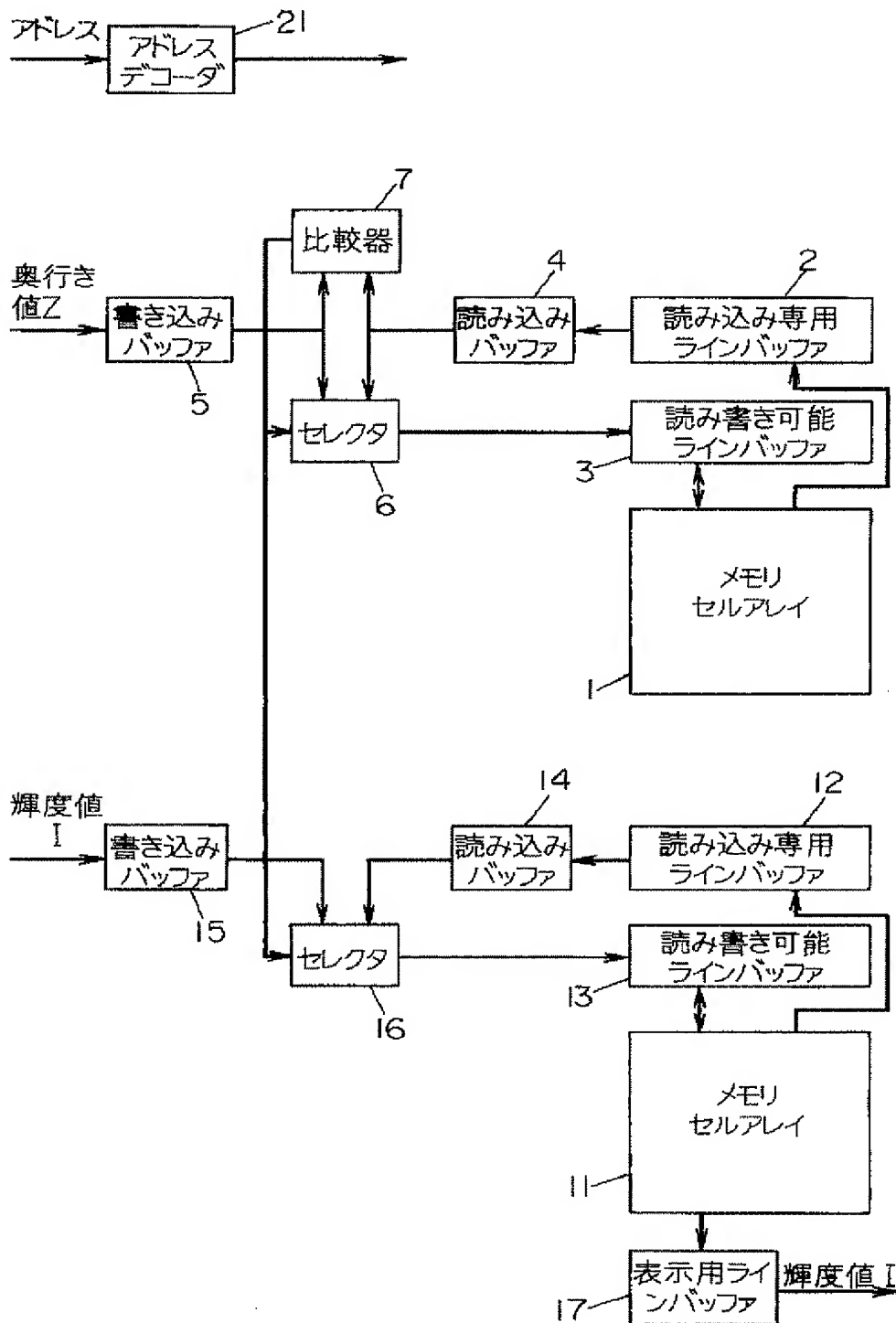
3.In the drawings, any words are not translated.

DRAWINGS

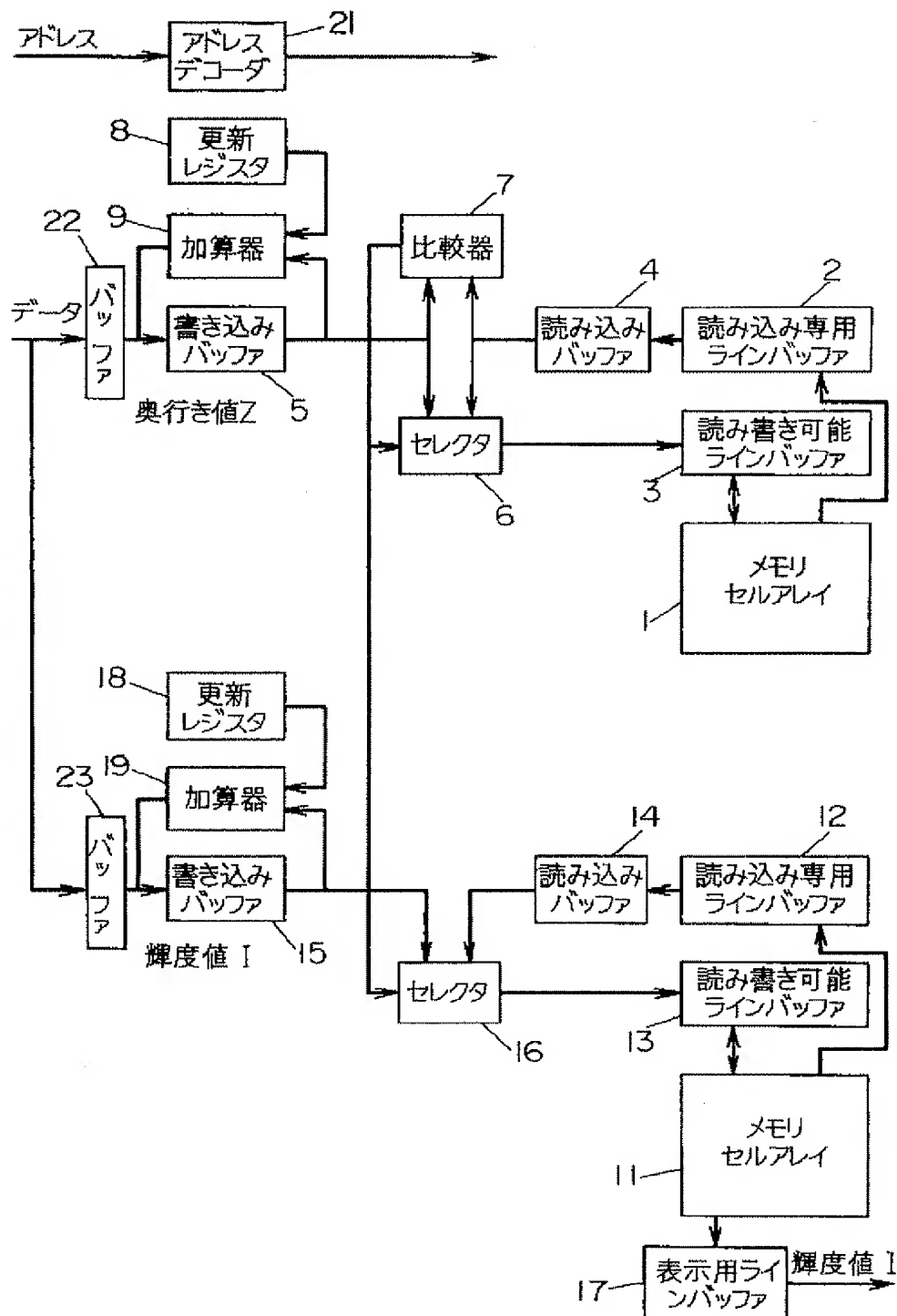
[Drawing 4]



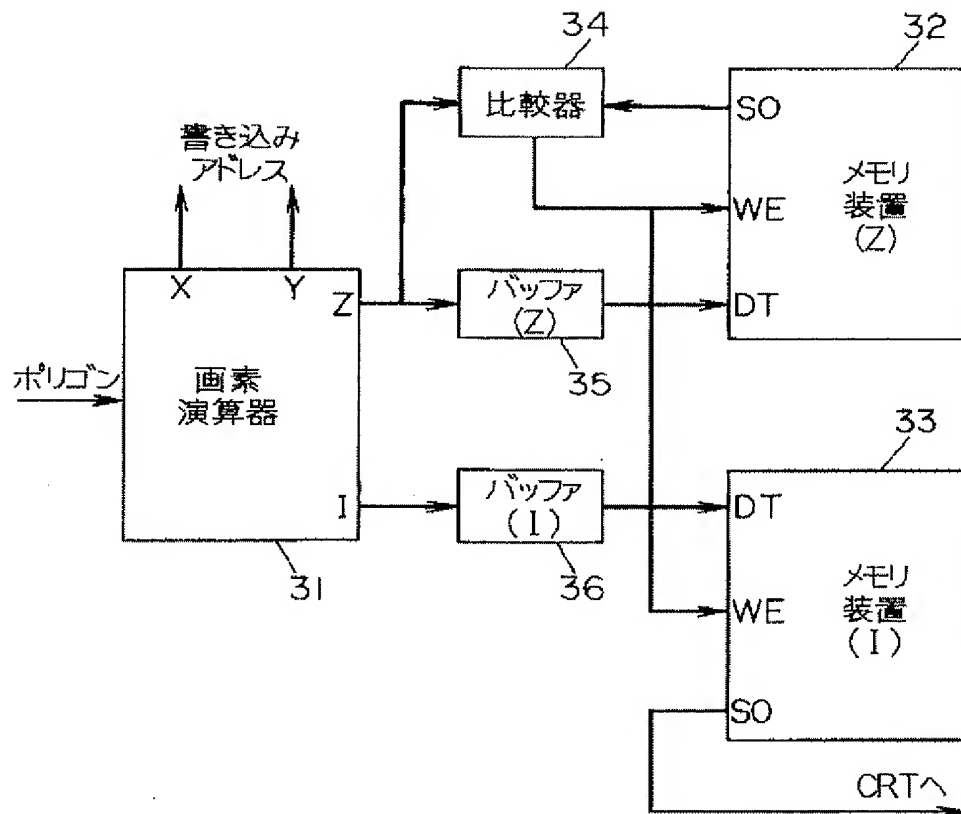
[Drawing 1]



[Drawing 2]



[Drawing 3]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-65198

(43) 公開日 平成7年(1995)3月10日

(51) Int.Cl.⁸

G 0 6 T 15/40

識別記号

庁内整理番号

F I

技術表示箇所

9192-5L

G 0 6 F 15/ 72

4 2 0

審査請求 未請求 請求項の数2 O L (全 8 頁)

(21) 出願番号

特願平5-212826

(22) 出願日

平成5年(1993)8月27日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 大木 健

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

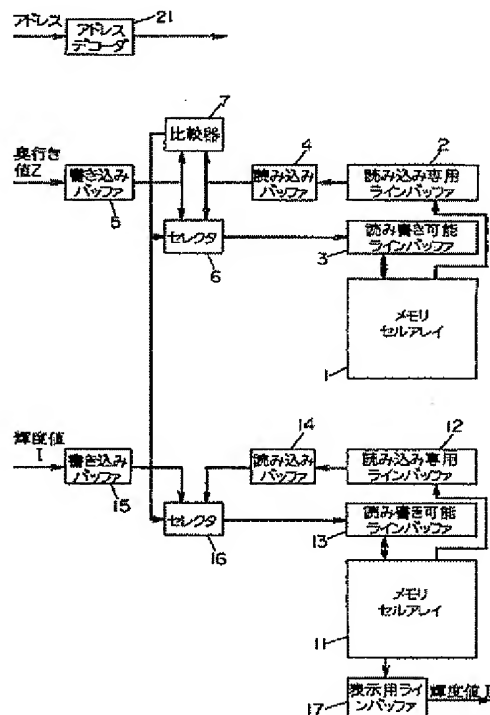
(74) 代理人 弁理士 小銀治 明 (外2名)

(54) 【発明の名称】 画像メモリ装置

(57) 【要約】

【目的】 システムの小型化に適した、かつ高速なZバッファの更新による高速な隠れ面処理が可能な画像メモリ装置を提供する。

【構成】 水平スキャン方向に連続した各画素の奥行き(Z)値を第1の書き込みバッファ5と第1の読み込み専用ラインバッファ2を介した読み込みバッファ4から比較器7に入力し、比較結果により、小さい方の奥行き(Z)値を第1の読み書き可能ラインバッファ3に書き込むと共に、選択された奥行き(Z)値と対をなす輝度(I)値も同様に第2の読み書き可能ラインバッファ13に書き込むことにより、第1および第2のメモリセルアレイ1、2には隠れ面処理された後の結果を格納することができる。



【特許請求の範囲】

【請求項 1】 1 画面分の奥行き (Z) 値を格納する第 1 のメモリセルアレイと、前記第 1 のメモリセルアレイから読み出した 1 行分のデータを格納する第 1 の読み込み専用ラインバッファと、前記第 1 のメモリセルアレイから読み出した後、加工した書き込むべき 1 行分のデータを格納する第 1 の読み書き可能ラインバッファと、前記第 1 の読み込み専用ラインバッファから選択された 1 画素分の奥行き (Z) 値を格納する第 1 の読み込みバッファと、外部から入力した 1 画素分の奥行き (Z) 値を格納する第 1 の書き込みバッファと、前記第 1 の書き込みバッファに格納された奥行き (Z) 値と前記第 1 の読み込みバッファに格納された奥行き (Z) 値を比較する比較器と、前記第 1 の書き込みバッファに格納された値と前記第 1 の読み込みバッファに格納された値を入力し、前記比較器の比較結果により選択された方を前記第 1 の読み書き可能ラインバッファに出力する第 1 のセクタと、1 画面分の輝度 (I) 値を格納する第 2 のメモリセルアレイと、前記第 2 のメモリセルアレイから読み出した 1 行分のデータを格納する第 2 の読み込み専用ラインバッファと、前記第 2 のメモリセルアレイから読み出した後、加工した書き込むべき 1 行分のデータを格納する第 2 の読み書き可能ラインバッファと、前記第 2 の読み込み専用ラインバッファから選択された 1 画素分の輝度 (I) 値を格納する第 2 の読み込みバッファと、外部から入力した 1 画素分の輝度 (I) 値を格納する第 2 の書き込みバッファと、前記第 2 の書き込みバッファに格納された値と前記第 2 の読み込みバッファに格納された値を入力し、前記比較器の比較結果により選択された方を前記第 2 の読み書き可能ラインバッファに出力する第 2 のセクタと、前記第 2 のメモリセルアレイから読み出した 1 行分のデータを格納し、外部に 1 画素ずつ順々に輝度 (I) 値を出力する表示用ラインバッファとを備えたことを特徴とする画像メモリ装置。

【請求項 2】 外部から設定できる奥行き (Z) 値の偏差を格納する第 1 の更新レジスタと、前記第 1 の書き込みバッファの値と前記第 1 の更新レジスタの値を加算し、前記第 1 の書き込みバッファに結果を再格納する第 1 の加算器と、外部から設定できる輝度 (I) 値の偏差を格納する第 2 の更新レジスタと、前記第 2 の書き込みバッファの値と前記第 2 の更新レジスタの値を加算し、前記第 2 の書き込みバッファに結果を再格納する第 2 の加算器を備えたことを特徴とする請求項 1 記載の画像メモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、3 次元多面体物体を 2 次元スクリーン上に投影して表示する 3 次元グラフィックスの隠れ面処理に適した画像メモリ装置に関するものである。

【0002】

【従来の技術】 近年、コンピュータ技術の発展により 3 次元グラフィックスもより一般になってきた。3 次元物体を 2 次元スクリーン上に投影して表示する場合、手前に存在する物体がそれより奥にある物体の一部またはすべてを隠してしまう現象を何らかの方法で処理しなければならない。一般的にハードウェアで実現する時は、1 画面分の奥行き (Z) 値を格納する Z バッファを用いて処理する Z バッファ法が知られている。この Z バッファ法を用いた隠れ面処理装置としては、例えば幾見他「3 2 ビット 3 次元グラフィックスプロセッサ」(情報処理学会集積回路研究会報告、ICD88-36、P71~73、1988) に示されており、それに使用されているメモリ装置は通常の 2 ポートメモリで構成されている。

【0003】 図 3 はこの従来のメモリ装置を使用した隠れ面処理装置のブロック図である。図 3 において、31 は凸多角形 (ポリゴン) を入力し、スキャンライン順で、かつ水平スキャンライン方向の各画素単位に順次 X、Y 座標と共に奥行き (Z) と輝度 (I) を計算して出力する画素演算器、32、33 はランダム入出力ポートとシリアル出力ポートの 2 ポートを有し、各々 1 画面分の奥行き (Z) 値と輝度 (I) 値を格納するメモリ装置、34 は画素演算器 31 とメモリ装置 32 からそれぞれ奥行き (Z) 値を各画素単位で入力して比較し、画素演算器 31 から出力された奥行き (Z) 値の方が小さい時のみ、メモリ装置 32 に奥行き (Z) 値を、メモリ装置 33 に輝度 (I) 値を書き込む制御をする比較器、35、36 は各々奥行き (Z) 値と輝度 (I) 値を格納し、出力するバッファである。

【0004】 以上のように構成された従来のメモリ装置を使用した隠れ面処理装置について、以下その動作を説明する。まず画素演算器 31 には図 4 に示すようなポリゴンが入力される。画素演算器 31 では、Ys から Ye までスキャンライン順に処理が進行し、各スキャンライン内では水平スキャン方向に 1 画素ずつ、X、Y 座標値と共に奥行き (Z) 値と輝度 (I) 値を計算して順次出力する。一方画素演算器 31 から出力された X、Y 座標値が奥行き (Z) 値を格納するメモリ装置 32 に読みだし先頭アドレスとして入力され、メモリ装置 32 のシリアル出力ポートから各画素に対応した奥行き (Z) 値を順次出力する。そして、比較器 34 では各画素単位に画素演算器 31 とメモリ装置 32 とから出力された奥行き (Z) 値の比較を行ない、比較結果が画素演算器 31 から出力された奥行き (Z) 値の方が小さい時のみ、メモリ装置 32、33 に出力する書き込み制御信号をイネーブルにする。そして、画素演算器 31 から出力された奥行き (Z) 値と輝度 (I) 値はバッファ 35、36 を介してそれぞれメモリ装置 32、33 のランダムポートから高速ページモードで順次格納される。

【0005】このようにして1画面分のポリゴンが入力され終わると、メモリ装置32には各画素の一番小さい奥行き(Z)値が格納されると共に、メモリ装置33には隠れ面処理結果の輝度(I)値が格納される。そしてメモリ装置33のシリアル出力ポートを介してCRTに出力され、3次元画像が表示される。

【0006】

【発明が解決しようとする課題】しかしながら上記のような構成では、メモリ装置のシリアルポートから読み出した奥行き(Z)値を外部回路で比較し、その比較結果により行なう外部回路からメモリ装置への奥行き(Z)値、輝度(I)値の書き込みはランダムポートから行なっていたため、外部回路やその配線数が多く、回路規模が大きくなると同時に、メモリ装置への書き込み速度が遅く、Zバッファ処理に時間を要するという課題を有していた。

【0007】本発明はかかる点に鑑み、システムの小型化に適した、かつ高速なZバッファの更新による高速な隠れ面処理が可能な画像メモリ装置を提供することを目的とする。

【0008】

【課題を解決するための手段】請求項1の発明は1画面分の奥行き(Z)値を格納する第1のメモリセルアレイと、前記第1のメモリセルアレイから読み出した1行分のデータを格納する第1の読み込み専用ラインバッファと、前記第1のメモリセルアレイから読み出した後、加工した書き込むべき1行分のデータを格納する第1の読み書き可能ラインバッファと、前記第1の読み込み専用ラインバッファから選択された1画素分の奥行き(Z)値を格納する第1の読み込みバッファと、外部から入力した1画素分の奥行き(Z)値を格納する第1の書き込みバッファと、前記第1の書き込みバッファに格納された奥行き(Z)値と前記第1の読み込みバッファに格納された奥行き(Z)値を比較する比較器と、前記第1の書き込みバッファに格納された値と前記第1の読み込みバッファに格納された値を入力し、前記比較器の比較結果により選択された方を前記第1の読み書き可能ラインバッファに出力する第1のセクタと、1画面分の輝度(I)値を格納する第2のメモリセルアレイと、前記第2のメモリセルアレイから読み出した1行分のデータを格納する第2の読み込み専用ラインバッファと、前記第2のメモリセルアレイから読み出した後、加工した書き込むべき1行分のデータを格納する第2の読み書き可能ラインバッファと、前記第2の読み込み専用ラインバッファから選択された1画素分の輝度(I)値を格納する第2の読み込みバッファと、外部から入力した1画素分の輝度(I)値を格納する第2の書き込みバッファと、前記第2の書き込みバッファに格納された値と前記第2の読み込みバッファに格納された値を入力し、前記比較器の比較結果により選択された方を前記第2の読み書き

可能ラインバッファに出力する第2のセクタと、前記第2のメモリセルアレイから読み出した1行分のデータを格納し、外部に1画素ずつ順々に輝度(I)値を出力する表示用ラインバッファとを備えた画像メモリ装置である。

【0009】請求項2の発明は請求項1の発明に記載した画像メモリ装置に、外部から設定できる奥行き(Z)値の偏差を格納する第1の更新レジスタと、前記第1の書き込みバッファの値と前記第1の更新レジスタの値を加算し、前記第1の書き込みバッファに結果を再格納する第1の加算器と、外部から設定できる輝度(I)値の偏差を格納する第2の更新レジスタと、前記第2の書き込みバッファの値と前記第2の更新レジスタの値を加算し、前記第2の書き込みバッファに結果を再格納する第2の加算器とを付加した画像メモリ装置である。

【0010】

【作用】本発明は前記した構成により、水平スキャン方向に連続した各画素の奥行き(Z)値を第1の書き込みバッファと第1の読み込み専用ラインバッファを介した第1の読み込みバッファから比較器に入力し、比較結果により、小さい方の奥行き(Z)値を第1の読み書き可能ラインバッファに書き込むと共に、選択された奥行き(Z)値と対をなす輝度(I)値も同様に第2の読み書き可能ラインバッファに書き込むことにより、第1および第2のメモリセルアレイには隠れ面処理された後の結果を格納することができる。

【0011】

【実施例1】

(実施例1)以下本発明の一実施例について、図面を参照しながら説明する。

【0012】図1は本発明の実施例におけるブロック図を示すものである。図1において、1、11は各々1画面分の奥行き(Z)値と輝度(I)値を格納するメモリセルアレイ、2、12は各々メモリセルアレイ1、11から読み出した1行分のデータを格納する読み込み専用ラインバッファ、3、13は各々メモリセルアレイ1、11から読み出した後、加工した書き込むべき1行分のデータを格納する読み書き可能ラインバッファ、4、14は各々読み込み専用ラインバッファ2、12から選択された1画素分の奥行き(Z)値と輝度値(I)を格納する読み込みバッファ、5、15は各々外部から入力した1画素分の奥行き(Z)値と輝度値(I)を格納する書き込みバッファ、6、16は各々書き込みバッファ5、15に格納された値と読み込みバッファ4、14に格納された値を入力し、比較器7の比較結果により選択された方を各々読み書き可能ラインバッファ3、13に出力するセクタ、7は書き込みバッファ5に格納された奥行き(Z)値と読み込みバッファ4に格納された奥行き(Z)値を比較する比較器、17はメモリセルアレイ11から読み出した1行分のデータを格納し、外部に

1画素ずつ順々に輝度(I)値を出力する表示用ラインバッファ、21は外部から入力したアドレスをデコードするアドレスデコーダである。

【0013】以上のように構成された画像メモリ装置について、以下その動作を説明する。図4に示すようなポリゴンが従来例とほぼ同様の画素演算器等でYsからYeまでスキャンライン順に処理が進行し、各スキャンライン内で水平スキャン方向に先頭のX、Y座標値と1画素ずつの奥行き(Z)値と輝度(I)値を計算して順次出力されているものとする。

【0014】いまYeのスキャンラインの処理が進行するものとする、まず本画像メモリ装置には先頭のX、Y座標値としてアドレスが入力される。入力されたアドレスはアドレスデコーダ21を介してメモリセルアレイ1、11に行アドレスを、読み込み専用ラインバッファ2、12には列アドレスを出力する。

【0015】メモリセルアレイ1、11からは行アドレスで選択された1行分の奥行き(Z)値と輝度(I)値が読み出され、各々読み込み専用ラインバッファ2、12と読み書き可能ラインバッファ3、13に同時に格納される。読み込み専用ラインバッファ2、12からは列アドレスで選択された1画素分の奥行き(Z)値と輝度(I)値が読み出され、各々読み込みバッファ4、14に格納された後、1クロック後には次の画素データが順次格納されていく。

【0016】一方書き込みバッファ5、15には外部で計算された奥行き(Z)値と輝度(I)値が1クロック毎に順次書き込まれる。そして、共に1クロック毎に更新される読み込みバッファ4に格納された奥行き(Z)値と書き込みバッファ5に格納された奥行き(Z)値を比較器7で順次比較し、小さい方の奥行き(Z)値を持ったほうがセクタ6、16で選択され、結果として読み書き可能ラインバッファ3、13には奥行き(Z)値が小さい方の画素の奥行き(Z)値と輝度(I)値が順次格納される。

【0017】これらの各画素毎の処理が各バッファ、比較器、セクタ等でパイプライン的に高速に処理され、Yeの最後の画素まで終了すると、1行分の隠れ面処理結果として奥行き(Z)値と輝度(I)値が読み書き可能ラインバッファ3、13に格納された後、メモリセルアレイ1、11に再格納され、次のスキャンラインの処理に移行する。

【0018】また、メモリセルアレイ11からは表示すべき1行分の輝度(I)値が一旦表示用ラインバッファ17に格納され、外部には1画素ずつ順々に輝度(I)値が出力される。

【0019】このようにして1画面分のポリゴンが入力され終わると、メモリセルアレイ1、11には各画素の一番小さい奥行き(Z)値とそれに対応する画素の輝度(I)値が隠れ面処理結果として格納される。そして、

メモリセルアレイ11から表示用ラインバッファ17を介して表示装置に出力され、3次元画像が表示される。

【0020】メモリセルアレイ2個の容量は合計で $1000 \times 1000 \times 24 \text{ビット} \times 2 = 48 \text{Mビット}$ であり、1チップで画像メモリ装置を構成することができる。

【0021】以上のように本実施例によれば、メモリ装置内部にZバッファ更新機構を設けることにより、外部からは書き込みデータをバッファに順次格納するだけで、内部で自動的にメモリセルアレイからの読み込み、比較、結果の書き込みとパイプライン的に処理し、入力機構も専用メモリなのでクロック同期の高速手法が使用できるので、メモリ装置の入出力のボトルネックが解消でき、簡単な制御で高速な隠れ面処理を実行できる。

【0022】(実施例2) 以下本発明の第2の実施例について、図面を参照しながら説明する。

【0023】図2は本発明の実施例におけるブロック図を示すものである。図2において、1、11はメモリセルアレイ、2、12は読み込み専用ラインバッファ、3、13は読み書き可能ラインバッファ、4、14は読み込みバッファ、5、15は書き込みバッファ、6、16はセクタ、7は比較器、17は表示用ラインバッファ、21はアドレスデコーダであり、これらは実施例1で示した図1のものと同一である。8、18は各々奥行き(Z)値、輝度(I)値の偏差を格納する更新レジスタ、9、19は各々奥行き(Z)値、輝度(I)値を更新する加算器、22、23は奥行き(Z)値、輝度(I)値を一時的に格納するバッファである。

【0024】以上のように構成された画像メモリ装置について、以下その動作を説明する。基本的な動作は図1のブロック図で示した本発明の実施例1と同じであるので、ここでは簡単に説明するために外部から入力される画素データの処理方法の違いのみを説明する。

【0025】図4に示すようなポリゴンが画素演算器等でまずポリゴン毎に奥行き(Z)の傾き値と輝度(I)の傾き値を計算出力し、YsからYeまでスキャンライン順の処理は各スキャンラインの先頭のみのX、Y座標値と奥行き(Z)値と輝度(I)値を計算して出力されているものとする。

【0026】まずポリゴンの処理の最初にそのポリゴン固有の奥行き(Z)の傾き値と輝度(I)の傾き値が更新レジスタ8、18に格納される。そして、外部から2度に分けてシリアルに入力される各スキャンラインの先頭画素の奥行き(Z)値と輝度(I)値のみがバッファ22、23を介して書き込みバッファ5、15に格納される。その後、各画素の奥行き(Z)値と輝度(I)値は外部から入力されることなく、クロック毎に書き込みバッファ5、15内の値と更新レジスタ8、18内の値を各々加算器9、19で加算され、1画素分更新された奥行き(Z)値と輝度(I)値が各々の書き込みバッ

10

20

30

40

50

ファ 5、15 に再格納されて、使用されていく。その他の動作は本発明の実施例 1 と同じである。

【0027】 以上のように本実施例によれば、奥行き (Z) 値、輝度 (I) 値を内部で自動更新するだけでなく、奥行き (Z) 値と輝度 (I) 値を同一ピンからシリアルに入力して処理する機構を設けることにより、簡単なメモリコントローラ機能付 CPU にこのピン数の少ない 1 チップ構成の画像メモリ装置を接続するだけで、メモリ装置の入出力のボトルネックが解消でき、小型で高性能な隠れ面処理装置が実現できる。

【0028】 なお、本実施例ではピン数を少なくするため、外部から入力する奥行き (Z) 値と輝度 (I) 値のデータ入力ピンを共通にし、2 度に分けてシリアルにデータを入力するようにしたが、これは第 1 の実施例と同様に各々の専用の入力ピンを設けてもよい。

【0029】

【発明の効果】 以上説明したように本発明は奥行き (Z) 値用と輝度 (I) 値用の 2 つのメモリセルアレイを有し、それぞれに読み込み専用ラインバッファと読み書き可能ラインバッファの 2 つのラインバッファを付属し、奥行き (Z) 値用にだけ比較器を設けることにより、外部からは書き込みデータをバッファに順次格納するだけで、内部では奥行き (Z) 値と輝度 (I) 値の読み出し、比較、書き込みをパイプライン的に実行することで、システムの小型化が可能で、かつ高速な隠れ面処理をすることができ、その実用的効果は大きい。

【図面の簡単な説明】

* 【図 1】 本発明の第 1 の実施例における画像メモリ装置のブロック図

【図 2】 本発明の第 2 の実施例における画像メモリ装置のブロック図

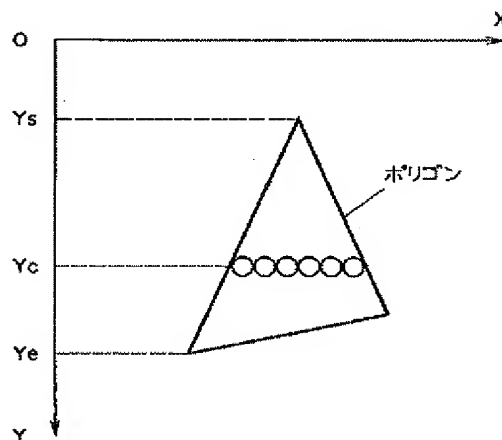
【図 3】 従来のメモリ装置を使用した隠れ面処理のブロック図

【図 4】 本発明と従来のものに共通な入力データの概念図

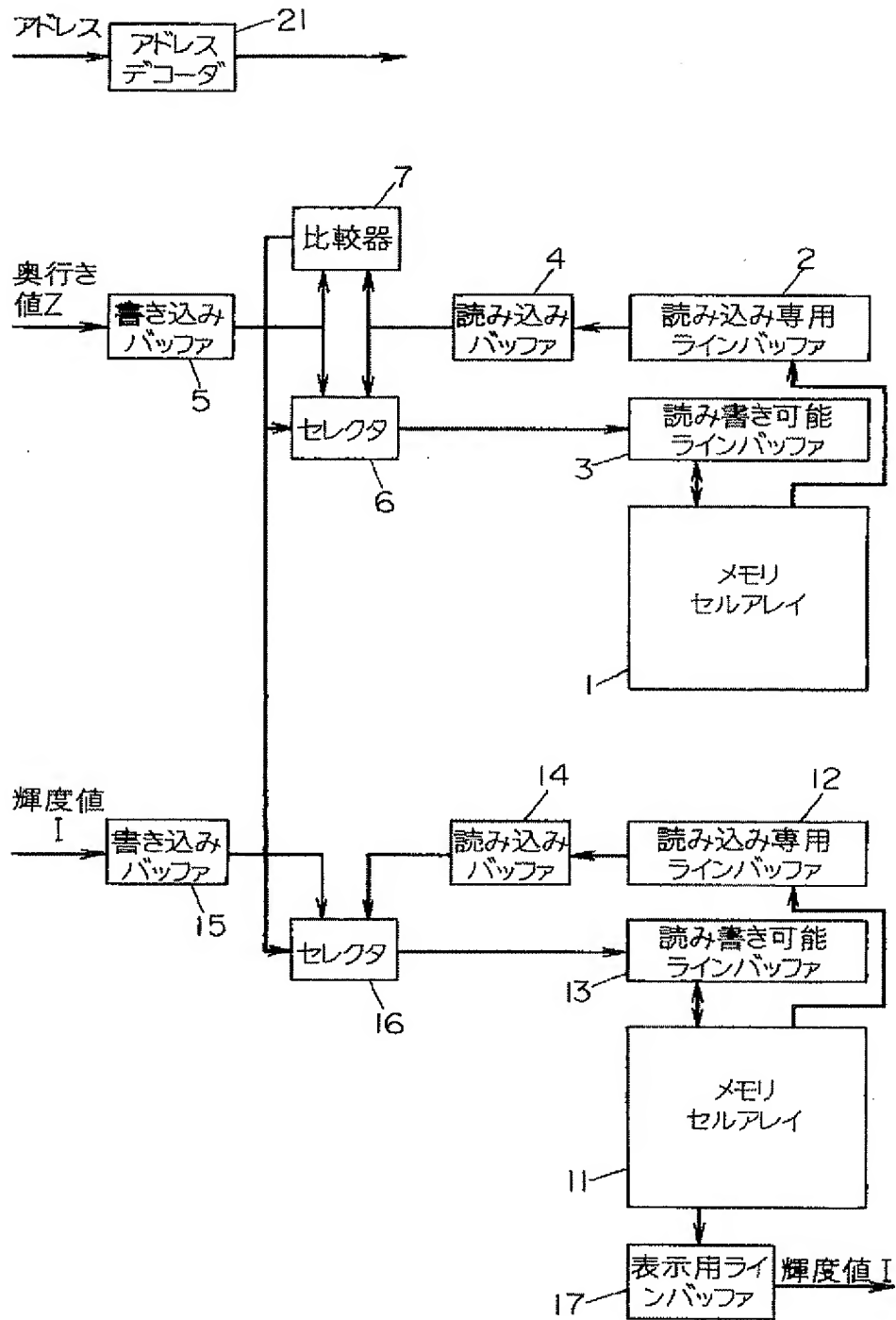
【符号の説明】

- | | | |
|----|----|-------------------------|
| 10 | 1 | 第 1 のメモリセルアレイ |
| | 2 | 第 1 の読み込み専用ラインバッファ |
| | 3 | 第 1 の読み書き可能ラインバッファ |
| | 4 | 第 1 の読み込みバッファ |
| | 5 | 第 1 の書き込みバッファ |
| | 6 | 第 1 のセクタ |
| | 7 | 比較器 |
| | 8 | 奥行き (Z) 値の偏差を格納する更新レジスタ |
| | 9 | 奥行き (Z) 値を更新する加算器 |
| | 11 | 第 2 のメモリセルアレイ |
| 20 | 12 | 第 2 の読み込み専用ラインバッファ |
| | 13 | 第 2 の読み書き可能ラインバッファ |
| | 14 | 第 2 の読み込みバッファ |
| | 15 | 第 2 の書き込みバッファ |
| | 16 | 第 2 のセクタ |
| | 17 | 表示用ラインバッファ |
| | 18 | 輝度 (I) 値の偏差を格納する更新レジスタ |
| * | 19 | 輝度 (I) 値を更新する加算器 |

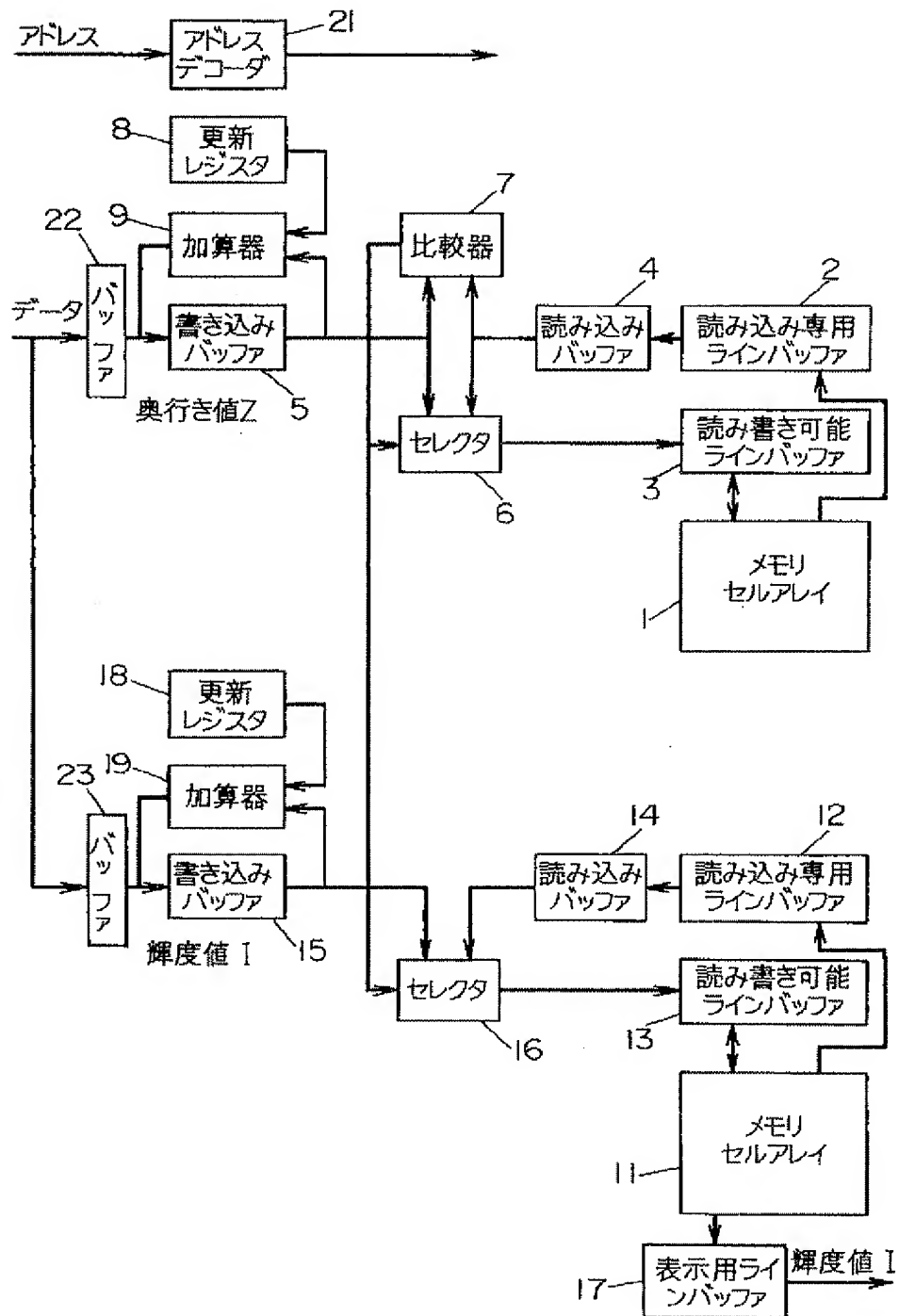
【図 4】



【図1】



【図2】



【図3】

